

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-128079

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

G06F 15/16

G06F 11/28

(21)Application number : 03-314050

(71)Applicant : NEC CORP

(22)Date of filing : 31.10.1991

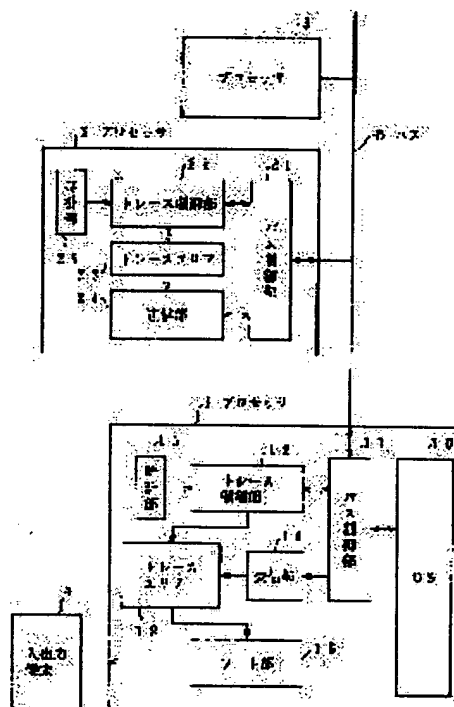
(72)Inventor : KAWAGUCHI HIROSHI

(54) TRACING SYSTEM FOR MULTIPROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To make it possible to simultaneously stop the tracing operation of respective processors and to obtain tracing information arranging the tracing information of respective processors in time order.

CONSTITUTION: Each of tracing control parts 12, 22 in a specific processor 1 and other processors 2, 3 collects the tracing information of its own processor, adds the present time of a clock part 15, 25 to the collected information and stores the time-added information in its tracing area 13 or 23. When a previously determined condition relating to the stop of tracing is formed, the control part 12 stops the tracing of the self-processor and commands other processors 2, 3 to stop tracing and transfer data and the tracing control parts 22 in the processors 2, 3 stop their tracing and transmission parts 24 transfer the tracing information of the tracing areas 23 to the processor 1. A receiving part 14 stores the transferred tracing information in the area 13 and a sorting part 16 rearranges the tracing information of respective processors 1 to 3 in the area 13 in the time order and outputs the rearranged tracing information to an I/O terminal 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-128079

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	4 5 0 D	9190-5L		
11/28	3 1 0 B	9290-5B		

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-314050

(22)出願日 平成3年(1991)10月31日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 川口 宏

東京都港区芝五丁目7番1号 日本電気株式会社内

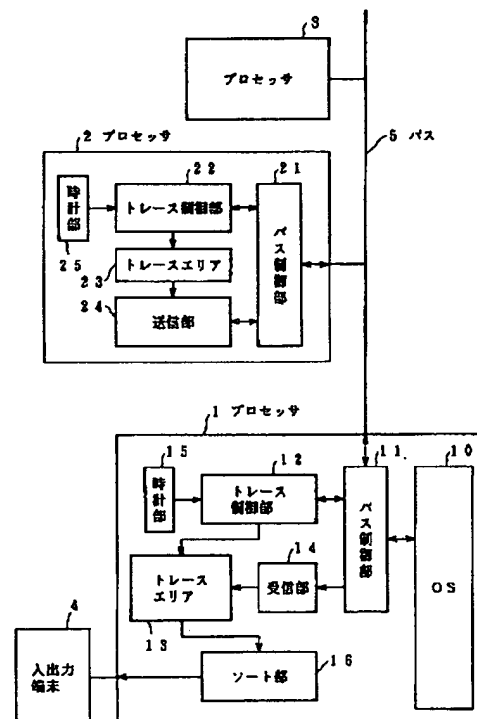
(74)代理人 弁理士 境 廣巳

(54)【発明の名称】 マルチプロセッサシステムにおけるトレース方式

(57)【要約】

【目的】 各プロセッサのトレースを一斉に停止でき且つ全プロセッサのトレース情報を時刻順に並べたトレース情報が得られるようにする。

【構成】 特定のプロセッサ1及び他のプロセッサ2, 3のトレース制御部12, 22は自プロセッサのトレース情報を収集し、時計部15, 25の現在の時刻を付加してトレースエリア13, 23に格納する。トレース制御部12はトレース停止にかかる予め定められた条件が成立すると、自プロセッサのトレースを停止すると共に他のプロセッサ2, 3に対しトレースの停止と転送を指示し、他のプロセッサ2, 3のトレース制御部22はトレースを停止し、送信部24はトレースエリア23のトレース情報を特定のプロセッサ1に転送する。受信部14はこの転送されたトレース情報をトレースエリア13に格納し、ソート部16はトレースエリア13中の各プロセッサのトレース情報を時刻順に並べ替え、入出力端末4に出力する。



Rest Available Com

1

【 特許請求の範囲】

【 請求項1 】 マルチプロセッサシステムを構成する複数のプロセッサのうちの特定のプロセッサに、トレースエリアと、

自プロセッサのトレース情報を収集し時刻情報を付加して前記トレースエリアに格納すると共に自プロセッサのトレース情報の収集停止時に他のプロセッサに対しトレース情報の収集停止を指示し且つその転送を指示するトレース制御部と、

他プロセッサから転送されてきたトレース情報を前記トレースエリアに格納する受信部と、

前記トレースエリアに格納されたトレース情報を時刻情報に従い時刻順にソートするソート部とを備え、

前記特定のプロセッサ以外の他のプロセッサに、トレースエリアと、

自プロセッサのトレース情報を収集し時刻情報を付加して自プロセッサの前記トレースエリアに格納すると共に前記特定のプロセッサからトレース情報の収集停止が指示されることにより自プロセッサのトレース情報の収集を停止するトレース制御部と、

前記特定のプロセッサからトレース情報の転送が指示されることにより自プロセッサの前記トレースエリアに格納されたトレース情報を前記特定のプロセッサに転送する送信部とを備えたことを特徴とするマルチプロセッサシステムにおけるトレース方式。

【 請求項2 】 前記特定のプロセッサのトレース制御部は、自プロセッサにおいて予め定められた条件が成立したときに自プロセッサのトレース情報の収集を停止すると共に前記他のプロセッサに対しトレース情報の収集停止を指示する請求項1記載のマルチプロセッサシステムにおけるトレース方式。

【 請求項3 】 前記他のプロセッサのトレース制御部は、自プロセッサにおいて予め定められた条件が成立したときに前記特定のプロセッサにその旨を通知し、前記特定のプロセッサのトレース制御部は前記他のプロセッサから前記条件が成立した旨の通知を受けたときに自プロセッサのトレース情報の収集を停止すると共に前記他のプロセッサに対しトレース情報の収集停止を指示する請求項1記載のマルチプロセッサシステムにおけるトレース方式。

【 発明の詳細な説明】

【 0001 】

【 産業上の利用分野】 本発明はコンピュータシステムにおけるトレース方式に関し、特にマルチプロセッサシステムにおけるトレース方式に関する。

【 0002 】

【 従来の技術】 プログラムが正しく動作し実行されているかどうかを調べるために、命令の実行順序やプログラムの実行過程における主記憶装置の値の変化等の所定の情報を、プログラムに埋め込んだ収集マクロ等により収

2

集することが行われる。このような処理をトレースといい、トレースする手段をトレースと呼ぶ。

【 0003 】 従来、このようなトレースはプロセッサ内で閉じたものであり、複数のプロセッサで構成されるマルチプロセッサシステムの場合、各プロセッサ上で動作するトレースは自プロセッサにかかるトレース情報を収集して自プロセッサのメモリ上のトレースエリアに格納し、またトレースの停止も各プロセッサで独立に行われている。

【 0004 】 なお、トレースエリアはサイクリックに使用しており、従って古いトレース情報は新しいトレース情報によって順次上書きされることにより消されている。

【 0005 】

【 発明が解決しようとする課題】 上述したようにマルチプロセッサシステムにおけるトレースは、従来、プロセッサ毎に独立に行われ、トレース情報も各プロセッサのトレースエリアに散在しているため、システム全体を時系列で見通した解析を行うことが困難になるという問題点があった。

【 0006 】 また、各プロセッサ上のトレースの停止もシステム全体で同期して行えないため、停止遅れにより有効なトレース情報が後続のトレース情報により上書きされてトレースエリアに残らないプロセッサが生じるという問題点もあった。

【 0007 】 そこで本発明の目的は、各プロセッサ上のトレースの停止をシステム全体で同期して行うことができ、またシステム全体を時系列で見通した解析が容易に行えるような形式のトレース情報を得ることができるようにすることにある。

【 0008 】

【 課題を解決するための手段】 本発明のマルチプロセッサシステムにおけるトレース方式は、上記の目的を達成するために、マルチプロセッサシステムを構成する複数のプロセッサのうちの特定のプロセッサに、トレースエリアと、自プロセッサのトレース情報を収集し時刻情報を付加して前記トレースエリアに格納すると共に自プロセッサのトレース情報の収集停止時に他のプロセッサに対しトレース情報の収集停止を指示し且つその転送を指示するトレース制御部と、他プロセッサから転送されてきたトレース情報を前記トレースエリアに格納する受信部と、前記トレースエリアに格納されたトレース情報を時刻情報に従い時刻順にソートするソート部とを備え、前記特定のプロセッサ以外の他のプロセッサに、トレースエリアと、自プロセッサのトレース情報を収集し時刻情報を付加して自プロセッサの前記トレースエリアに格納すると共に前記特定のプロセッサからトレース情報の収集停止が指示されることにより自プロセッサのトレース情報の収集を停止するトレース制御部と、前記特定のプロセッサからトレース情報の転送が指示されることに

3

より自プロセッサの前記トレースエリアに格納されたトレース情報を前記特定のプロセッサに転送する送信部とを備えるようにしている。

【0009】本発明の一実施例においては、前記特定のプロセッサのトレース制御部は、自プロセッサにおいて予め定められた条件が成立したときに自プロセッサのトレース情報の収集を停止すると共に前記他のプロセッサに対しトレース情報の収集停止を指示するようにしている。

【0010】また別の実施例においては、前記他のプロセッサのトレース制御部は、自プロセッサにおいて予め定められた条件が成立したときに前記特定のプロセッサにその旨を通知し、前記特定のプロセッサのトレース制御部は前記他のプロセッサから前記条件が成立した旨の通知を受けたときに自プロセッサのトレース情報の収集を停止すると共に前記他のプロセッサに対しトレース情報の収集停止を指示するようにしている。

【0011】

【作用】本発明のマルチプロセッサシステムにおけるトレース方式においては、特定のプロセッサおよび他のプロセッサに備わるトレース制御部が自プロセッサのトレース情報を収集し時刻情報を付加して自プロセッサのトレースエリアに格納する。そして、特定のプロセッサにおいて予め定められた条件が成立する等のトレース停止条件が発生すると、特定のプロセッサに備わるトレース制御部が自プロセッサのトレース情報の収集を停止すると共に他のプロセッサに対しトレース情報の収集停止を指示し、他のプロセッサに備わるトレース制御部はこの指示により自プロセッサのトレース情報の収集を停止する。これにより、各プロセッサ上のトレースが同期して停止することになる。

【0012】また、特定のプロセッサに備わるトレース制御部が他のプロセッサに対しトレース情報の転送を指示すると、他のプロセッサに備わる送信部が自プロセッサのトレースエリアに格納されたトレース情報を特定のプロセッサに転送し、この転送されたトレース情報を特定のプロセッサに備わる受信部が受信して自プロセッサのトレースエリアに格納する。これにより、各プロセッサのトレース情報が特定のプロセッサのトレースエリアに集められたことになる。

【0013】その後、特定のプロセッサに備わるソート部がトレースエリアに格納された各プロセッサのトレース情報を時刻情報に従い時刻順にソートする。

【0014】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0015】図1を参照すると、本発明を適用したマルチプロセッサシステムの一例は、プロセッサ1、2、3と、これらをつなぐバス5と、プロセッサ1に接続された入出力端末4とから構成されている。

4

【0016】プロセッサ1は、システム全体のトレースの制御を司るプロセッサであり、OS（オペレーティングシステム）10と、バス制御部11と、トレース制御部12と、トレースエリア13と、受信部14と、時計部15と、ソート部16とを含んでいる。

【0017】プロセッサ2は、プロセッサ1からトレースの開始、停止等を制御されるプロセッサであり、バス制御部21と、トレース制御部22と、トレースエリア23と、送信部24と、時計部25とを含んでいる。

【0018】プロセッサ3もプロセッサ2と同様にプロセッサ1からトレースの開始、停止等を制御されるプロセッサであり、プロセッサ2と同様な構成を備えている。

【0019】なお、各プロセッサ1～3に備わる時計部15、25は同期しており、全て同一時刻を表示している。

【0020】以下、本実施例の全体的な動作を各部の機能の説明を交えて説明する。

【0021】プロセッサ1のトレース制御部12は、トレースを開始する条件が成立すると、自プロセッサのトレースを開始すると共にバス制御部11、バス5を通じて他のプロセッサ2、3にトレースの開始を指示する。

【0022】この指示は他のプロセッサ2、3のバス制御部21を通じてトレース制御部22に伝達され、トレース制御部22は自プロセッサのトレースを開始する。

【0023】トレースを開始したプロセッサ1のトレース制御部12は、トレース情報をトレースエリア13に格納するが、このとき時計部15が示す現在の時刻をトレース情報に付加してトレースエリア13に格納する。同様に他のプロセッサ2、3のトレース制御部22も採取したトレース情報に時計部25が示す現在の時刻を付加してトレースエリア23に格納する。なお、プロセッサの識別子を更に付加するようにしても良い。

【0024】以上のようにして各プロセッサ1～3のトレース制御部12、22によって一斉にトレースが開始され、各トレース情報がトレースエリア13、23に順次格納されていく。

【0025】さて、その後、プロセッサ1においてトレース停止の為に予め定められた条件が成立すると、そのことを検出したトレース制御部12は自プロセッサのトレースを停止すると共にバス制御部11およびバス5を通じて他のプロセッサ2、3にトレースの停止を指示し、更にトレース情報の転送を指示する。

【0026】トレースの停止指示は他のプロセッサ2、3のバス制御部21を通じてトレース制御部22に伝達され、トレース制御部22は自プロセッサのトレースを停止する。これにより、システム全体のトレースが一斉に停止することになる。

【0027】またトレース情報の転送指示は他のプロセッサ2、3のバス制御部21を通じて送信部24に伝達

5

され、送信部2 4 は自プロセッサのトレースエリア2 3 に格納されているトレース情報をバス制御部2 1 およびバス5 を通じてプロセッサ1 に送信する。

【0028】この送信された各プロセッサ2, 3 からのトレース情報はプロセッサ1 のバス制御部1 1 を通じて受信部1 4 に受信され、受信部1 4 はそれをトレースエリア1 3 に格納する。これにより、各プロセッサ1 ~3 で収集されたトレース情報がトレースエリア1 3 に集められたことになる。

【0029】その後、ソート部1 6 は、トレースエリア1 3 に格納された各プロセッサのトレース情報をそれに付加された時刻情報に従って時刻順にソートし、ソート後のトレース情報を入出力端末4 のCRT 等の画面に表示する。

【0030】以上の実施例ではプロセッサ1 で発生したトレース停止条件をトリガとしてシステム全体のトレースを停止したが、他のプロセッサ2, 3 で発生したトレース停止条件をトリガとしてシステム全体のトレースを一斉に停止させるようにしても良い。この場合、プロセッサ2, 3 のトレース制御部2 2 は自プロセッサにおいてトレース停止にかかる予め定められた条件が成立したときにその旨をプロセッサ1 に通知し、プロセッサ1 のトレース制御部1 2 はこの通知を受けたときに自プロセッサのトレースを停止すると共にプロセッサ2, 3 に対しトレースの停止を指示する。

【0031】

【発明の効果】以上説明した本発明のマルチプロセッサシステムにおけるトレース方式によれば、以下のような

6

効果を得ることができる。

【0032】各プロセッサのトレースの停止をシステム全体で同期して行えるので、或るプロセッサで発生した条件を契機に全プロセッサのトレースを停止させ、デバッグに必要なトレース情報を凍結できる。よって、有限なトレースエリアをサイクリックに使用する場合であっても有効なトレース情報が消失してしまうことを防止できる。

【0033】各プロセッサで収集されたトレース情報を特定のプロセッサのトレースエリアに集めてソートすることにより、システム全体のトレース情報を時刻順に並べ変えたトレース情報が得られるので、システム全体を時系列で見通した解析が容易に行える。

【図面の簡単な説明】

【図1】本発明を適用したマルチプロセッサシステムの一例を示すブロック図である。

【符号の説明】

1, 2, 3 …プロセッサ

4 …入出力端末

5 …バス

10 …OS

11, 21 …バス制御部

12, 22 …トレース制御部

13, 23 …トレースエリア

14 …受信部

15, 25 …時計部

16 …ソート部

24 …送信部

【 図1 】

